

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

DIALOG(R)File 352:DERWENT WPI

(c) 2000 Derwent Info Ltd. All rts. reserv.

007151539

WPI Acc No: 1987-151536/198722

Coplanarising conductor-insulator films on a substrate - by chem-mech  
polishing with a slurry

Patent Assignee: IBM CORP (IBM )

Number of Countries: 007 Number of Patents: 007

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
EP 223920	A	19870603	EP 86110461	A	19860729	198722 B
JP 62102543	A	19870513	JP 86214224	A	19860912	198725
CA 1245517	A	19881129				198901
US 4944836	A	19900731	US 85791860	A	19851028	199033
EP 223920	B	19910102				199102
DE 3676458	G	19910207				199107
JP 8017831	A	19960119	JP 86214224	A	19860912	199613
			JP 94291012	A	19860912	

Priority Applications (No Type Date): US 85791860 A 19851028

Cited Patents: 2.Jnl.Ref; A3...8738; FR 2256260; No-SR.Pub; US 3836473; EP  
13508

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
-----------	------	-----	----	----------	--------------

EP 223920	A	E	1		
-----------	---	---	---	--	--

Designated States (Regional): DE FR GB IT

EP 223920	B
-----------	---

Designated States (Regional): DE FR GB IT

JP 8017831	A	7 H01L-021/3205 Div ex application JP 86214224
------------	---	--

## Abstract (Basic): EP 223920 A

Structure comprising coplanar conductive and insulator films is formed by: depositing one of the films on a substrate, the film having a non-planar upper surface; depositing the second film conformally on the first; and chem- mech polishing the structure with a slurry to remove the second film at a faster rate than the first until the surfaces of both films are coplanar. Slurry is pref. a soln. contg. dispersed Al<sub>2</sub>O<sub>3</sub> or SiO<sub>2</sub> particles.

USE/ADVANTAGE - Esp. in mfr. of planarised multilevel metal-semiconductor structure. Method is flexible and highly controllable, and is superior to dry etching planarisation methods.

/5

## Abstract (Equivalent): EP 223920 B

A method of producing substantially coplanar metal and insulating films on a substrate (20,30) comprising the steps of: forming an insulating film (22,32) of a dielectric material having a recess (24,33) onto the top surface of said substrate; blanket depositing a metal film onto said insulating film to fill in particular said recess with metal; chem-mech polishing the top surface of the resulting structure with an acidic alumina based solution. (9pp)

## Abstract (Equivalent): US 4944836 A

In the fabrication of planarised multilevel metal on a semiconductor substrate having active devices in it, the method for producing the multilevel metal, comprising coplanar conductive films (I) and insulator films (II) on the substrate, comprises firstly forming a first layer of (I) or (II) on the substrate, the first layer having a non-planar upper surface. A second layer of the other of (I) or (II) is then deposited on the first layer, the second layer having an upper surface generally following the topography of the upper surface of the first layer.

Finally, the structure is chem-mech polished, to remove the second layer at a faster rate than the first layer, until the upper surfaces of the first and second layers are coplanar.

ADVANTAGE - Complex, poorly controlled, costly and contaminating known dry etching planarisation techniques are avoided. (7pp)  
Dwg.No.2B/4)m

**Derwent Class: L03; U11**

**International Patent Class (Main): H01L-021/3205**

**International Patent Class (Additional): H01L-021/30; H01L-021/304;  
H01L-021/768**

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平8-17831

(43)公開日 平成8年(1996)1月19日

(51)Int.Cl. <sup>8</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/3205				
21/304	3 2 1 Z			
21/768				

H 0 1 L 21/ 88	K
21/ 90	A
審査請求 有	発明の数1 O L (全 7 頁)

(21)出願番号	特願平6-291012
(62)分割の表示	特願昭61-214224の分割
(22)出願日	昭和61年(1986)9月12日
(31)優先権主張番号	7 9 1 8 6 0
(32)優先日	1985年10月28日
(33)優先権主張国	米国 (U S)

(71)出願人	390009531 インターナショナル・ビジネス・マシー ズ・コーポレーション INTERNATIONAL BUSIN ESS MACHINES CORPO RATION アメリカ合衆国10504、ニューヨーク州 アーモンク (番地なし)
(72)発明者	クラウス・ディートリッヒ・ペイヤー アメリカ合衆国ニューヨーク州ボーキブシ ー、タミダン・ロード3番地
(74)代理人	弁理士 合田 潔 (外2名)

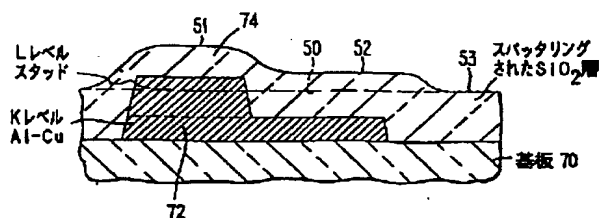
最終頁に続く

(54)【発明の名称】 同平坦面の金属層および二酸化シリコン層の形成方法

(57)【要約】

【目的】同平坦面の金属層および二酸化シリコン層を有する構造を基板上に形成する方法を提供すること

【構成】基板70上にAl-Cuの金属層パターン72を形成し、その上に二酸化シリコン層74を付着する。金属層パターン72および二酸化シリコン層74の表面が実質的に同平坦面になるまで、シリカ粒子を含む塩基性スラリーを用いて基板上面を化学機械的に研磨する。



## 【特許請求の範囲】

【請求項1】同平坦面の金属層および二酸化シリコン層を備えた構造を基板上に形成する方法であって、基板上に、金属層パターンを形成し、上記金属層パターン上に二酸化シリコン層を付着し、上記金属層パターンおよび上記二酸化シリコン層が実質的に同平坦面になるまで、シリカ粒子を含む塩基性スラリーを用いて上記基板の上面を化学機械的に研磨することを特徴とする、同平坦面の金属層および二酸化シリコン層の形成方法。

【請求項2】上記金属層パターンがAl-Cuであることを特徴とする、請求項1に記載の方法。

【請求項3】上記金属層パターンが平坦でない上面を有し、二酸化シリコン層が上記金属層パターンの最大厚さよりも薄く付着されることを特徴とする、請求項1に記載の方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は高性能VLSI半導体チップの製造に関し、さらに具体的には、改善された研磨スラリーを用いる化学機械的研磨技術により基板上に同平坦面(Coplanar)の金属層/二酸化シリコン絶縁層を作るための方法に関するものである。この方法は平坦化されたマルチレベル金属半導体構造の製造に広い用途を見出すことができる。

## 【0002】

【従来技術】半導体チップは接点が金属配線パターンにより相互接続されたデバイスの配列から成る。VLSIチップでは、これらの金属パターンを多層化し、絶縁材料の層により多層化する。それぞれの金属配線パターン間の相互接続は絶縁材料の層を貫いてエッチングした穴(すなわちバイヤホール)により行なう。典型的なチップ設計は1つまたは2つの配線レベルから成り、最新の技術では3つの配線レベルである。回路のコストや性能に関して製造工程で常に要求されているのは、補足的な配線レベルによって付加的な処理工程が必要になっても、その回路に競争力があるということである。しかし、今日広く用いられているとは言え、バイヤホールを用いる技術は多くの制限と欠点を有し、図1から理解されるように、金属層の数が増加するに従って配線は増々

難しくなる。

【0003】図1に示す半導体構造10は従来技術の典型的な一例である。それは二酸化シリコン(SiO<sub>2</sub>)のパターン化された第一の絶縁層12をその上に有する所定の導電形のシリコン基板11から成る。第1レベルのメタライズをバイヤホール14を介して基板の領域15と電気的に接触する金属ランド13により表す。それは、たとえばオーミックコンタクトとして、バイポーラ・トランジスタ(図示せず)のエミッタ領域と接触する。金属ランド16により表される第2レベルのメタラ

イズは第2の絶縁層18のバイヤホール17を介して金属ランド13と電気的に接触する。この構造を第3の絶縁層19でパッシベートする。第2図に示す構造は必ずしも一定の寸法比で描かれているわけではないが、標準的な工程で得られる平坦性からはほど遠い非常に不規則な表面を与えることがわかる。

【0004】そのような構造で知られている問題点は、第1に、層間の絶縁層が薄くなることに帰因する第1および第2レベルのメタライズ間の位置Aにおける電位短絡であり、第2に、位置Bにおける金属層が薄くなることに帰因する位置Bでの電位開放の問題(いわゆるネッキング効果)である。これらの問題はこの産業で要求されている高水準の信頼性にとっては受け入れ難いものである。したがって、現在真剣に必要とされているのは、そのような不規則な表面を平坦化するという問題を解決するためにバイヤホール技術を改善することである。

【0005】最新の平坦化技術の典型的な一例は、ヨーロッパ特許出願番号80302457.9に見出すことができる。この参照文献によれば、半導体構造の表面におけるどのような種類の突起も次の工程により除去することができる。すなわち、上記表面にほぼ平坦な表面を有するフォトレジスの層を形成し、次にフォトレジストと上記突起を形成する材料の両方を同じ速度でエッチングする反応ガスを用いてこの構造の上部表面を乾式エッチングする。除去される材料が燐ケイ酸塩ガラス(PSG)のときは、反応ガスは弗素化合物と酸素の混合物であり、材料がアルミニウムのときは、反応ガスは塩素をベースとした化合物と水素または酸素の混合物である。それぞれの材料に対して反応ガスを適切に選択しなければならない。

【0006】レジスト平坦化媒体を有する金属のプラズマ・エッチングまたは反応性イオン・エッチング(RIE)は半導体デバイスを平坦化するための好ましい方法に見えるが、それらの技術に固有な限界を有する。第1に、これらの技術は全ての金属に用いることはできず、揮発性反応生成物を形成する金属にのみ用いることができる。また、アルミニウムでは、この金属の表面における薄いAl<sub>2</sub>O<sub>3</sub>層を除去する必要があるため、複雑で制御困難な工程が必要になることが報告されている。最後にRIE工程は複雑で費用がかかる。さらに、レジストの使用は汚染源にもなり得る。

【0007】金属および絶縁体を平坦化するため化学機械的研磨工程を用いることについてはこれまで全く提案されていなかった。試験目的のために、第2レベルのメタライズにおけるアルミニウム・ランドの急速除去に機械的研磨(すなわち磨耗研磨)を使用することが、C. H. スクリブナ(Scrivner)により書かれた2つの論文に最近報告された。

【0008】IBMテクニカル・ディスクロージャ・ブルテン、Vol. 20、No. 11A、P. 4430-

4431、1978年4月に発表された第1の論文には、試験用チップの第2レベルにおける金属を除去するために、ウエハ全体を並行研磨することが示されている。研磨スラリの組成は明らかにされていないが、水をベースとしたシリカまたはアルミナ・スラリのような標準的研磨スラリを用いることができる。

【0009】さらに、研磨スラリの使用に関する情報はIBMテクニカル・ディスクロージャ・ブルテンVol. 24, No. 4, 1981年, P. 2138に発表された第2の論文に見出すことができる。この文献によれば、試験用チップまたはそれを含む1枚のウエハを金属スタッド（直径2.5cm）上に載せ、次にそれをチップの表面を研磨する市販の並行研磨装置の中に挿入する。この論文は前に引用した技術の欠点をはっきりと指摘し、具体的には、研磨工程がウエハにとって破壊的であると述べている。

【0010】T. フナツ（Funatsu）への米国特許第4375675号は $Si_3N_4$ エッチング停止層に対してポリシリコン充填物の選択的な化学機械的除去を行なうため、アルカリ添加剤を有するアルミナ・スラリを用いるポリシリコン分離平坦化工程について記載している。同様な開示を米国特許第3911562号に見出すことができる。

【0011】平坦化技術は、金属やポリシリコンを除去して平坦化する場合だけでなく、絶縁層を除去して平坦化する場合にも必要になる。最も典型的な場合は、二酸化シリコン絶縁層を除去して同平坦面の金属層／二酸化シリコン絶縁層を作る場合である。しかし、これまで、このような平坦化の目的を満たすのに適した化学機械的研磨技術は提案されていなかった。

【0012】

【発明が解決しようとする課題】したがって、本発明の主な目的は、複雑で、制御が困難で、費用がかかり、さらに汚染のもととなる乾式エッチング平坦化技術を必要とすることなく、同平坦面の金属層／二酸化シリコン絶縁層を形成するための方法を提供することにある。

【0013】

【課題を解決するための手段】同平坦面の金属層および二酸化シリコン層を備えた構造を基板上に形成する本発明の方法は、基板上に、金属層パターンを形成し、この金属層パターン上に二酸化シリコン層を付着する。そして、金属層パターンおよび二酸化シリコン層が実質的に同平坦面になるまで、シリカ粒子を含む塩基性スラリを用いて基板上面を化学機械的に研磨することを特徴とする。

【0014】

【実施例】図2～図6は、本願の親出願である特願昭61-214224号（特開昭62-102543号）の\*

\*第1A図、第1B図、第3A図、第3B図および第4図と対応する図であり、図7は本発明の実施例を示している。図2～図6は、Al-Cuのようなアルミニウムをベースとする合金を化学機械的に研磨して、同平坦面の金属層／絶縁層を作る場合を例示している。まず、図2～図6を説明し、次いで第7図の実施例を説明する。

【0015】図2は、絶縁層22を上には有する半導体または絶縁体でよい基板21から成る構造20を示している。たとえば、層22を形成する誘電体は厚さが所期の金属の厚さと下側にある誘電体の厚さ（ゼロの場合もあり得る）の和に等しいスパッタリングされた二酸化シリコンでよい。研磨停止層、たとえば $Si_3N_4$ を研磨での一層良好な厚さの制御のため $SiO_2$ （石英）の上部に付着することができる。層22を標準的なフォトリソグラフィ技術でパターン化して、所期のパターン、たとえばトレンチ24を生じる。トレンチとは、絶縁層の厚さを部分的に、または完全に貫通してもよい任意の形状のくぼみを意味する。次にトレンチに金属を満たし、たとえば金属線23aを作る。Al-Cu合金のような高導電性金属層23が構造に一律に付着され、さらにトレンチ24を満たす。以下の方法に従って、合金をスパッタリングされた $SiO_2$ の上部表面まで除去し、トレンチ内のものはそのままにしておく。

【0016】構造を直径18インチのストラスバーク（Strasbaugh）片面研磨装置のような市販の並行研磨装置、またはIBMテクニカル・ディスクロージャ・ブルテイン、Vol. 15, No. 6, 1972年11月, P. 1760～1761に記載された装置の中に置く。好ましい組成の研磨スラリを2つの異なる方法で調整することができる。1リットルのDI水中に浮遊する1グラムの $Al_2O_3$ 粉末（0.06ミクロンの寸法）を90ccのDI水中における10ミリリットルの $HNO_3$ の溶液と混合し、約3のpHを得る。または、2台のポンプ装置を用いて、硝酸をニードル弁により第1の溶液に加えて同じpHを得る。その他の研磨条件を以下に要約する。

【0017】研磨媒体：pHが約3の酸をベースとしたアルミナ・スラリ

スラリ流速：120cc/分

研磨圧：1400～5700Kg/m<sup>2</sup>

研磨パッド：ローデル（Rodel）210 12（ローデル・プロダクツ社製）

水をベースとしたアルミナ・スラリを単独または別の希酸と組合せて用いて、Al-Cu合金およびスパッタリングされた $SiO_2$ の研磨速度を測定した。その結果を下の表Iに示す。

【0018】

表 I

番号	スラリ	Al-Cu	スパッタリング	エッチング
----	-----	-------	---------	-------

5	組 成	速 度	6 さ れ た SiO <sub>2</sub> 速度	速 度 比
1	アルミナ+DI水	30nm/分	30nm/分	1
2	アルミナ+DI水 +硫酸(pH2.2)	85nm/分	33nm/分	3
3	アルミナ+DI水 +硫酸(pH2.2)	107nm/分	8nm/分	13
4	アルミナ+DI水 +酢酸(pH2.8)	150nm/分	425nm/分	3

【0019】表Iの試験は酸の添加が水をベースとしたアルミナ・スラリのエッチング能力をある程度(事例2および4)または大幅に(事例3)改善することを示す。水をベースとしたアルミナ・スラリは金属を除去したり金属試料を調整するため研磨剤として一般に用いられてきたり、さらに上述のように、試験または調査のため半導体構造の表面から金属ランドを除去するため用いられてきたことは明らかである。しかし、事例1から明らかのように、水中のAl<sub>2</sub>O<sub>3</sub>の使用はAl-CuとスパッタリングされたSiO<sub>2</sub>間に所期の除去選択性を何らもたらさず、これは不十分にしか制御できない工程でSiO<sub>2</sub>層のかかなりの部分も除去されることを意味する。対照的に、約3より小さいpHを生じるための酸の添加、特にHNO<sub>3</sub>の添加はAl-Cuの除去速度を大幅に増大させる化学機械的研磨スラリを生じ、一方、予期しないことであるが、スパッタリングされたSiO<sub>2</sub>の除去速度を同時に減少させ、全体として他とは異なる大きなエッチング速度比をもたらす。HNO<sub>3</sub>は金属に対する周知のエッチング剤であるが、驚くべきことには、本方法では、金属の工程の終りにおいてトレンチ内で腐食されない。上記方法は、12回の別々の研磨作業において再現可能なことが分った。詳細には、Al/CuとスパッタリングされたSiO<sub>2</sub>の間の他とは異なる大きなエッチング速度比は自動エッチング停止障壁として働くSiO<sub>2</sub>層であるトレンチ内の残りの金属の厚さに対するすぐれた制御を保証する。

【0020】図3のようにトレンチ24を満たす金属23aの上部表面は絶縁層に埋め込まれた導体の線または線条として考えることができる。したがって、広い用途を見出すことが可能な非常に滑らかな表面を備える同平坦面の金属層/絶縁層を結果として得る。

#### 【0021】例II

図4は、スパッタリングされたSiO<sub>2</sub>のようなパターン化された絶縁層32でパッシベートされた所定の導電形のシリコン基板31からなる半導体構造30を示している。絶縁層はバイヤ(またはスルー)ホール33を備える。バイヤホールにより、絶縁層の厚さを完全に貫通し、金属で満たされたときそれぞれのレベルに置かれた導電性材料の間に電気的相互接続をもたらす穴を意味する。Al-Cuのような高導電性金属の層34を基板上に一律に付着した。金属は既にシリコン基板に形成され

ていた拡散領域35とオーミックコンタクトをなす。シリコン基板に関連して説明したが、基板は分離形(たとえば)セラミック、ガラス、または工程の前の段階で形成された金属層のいずれかであってもよいことは言うまでもない。

【0022】図5は、例Iに関して説明した化学機械的研磨技術を実施した結果として得られる構造を示している。バイヤホール33は完全に金属で満たされ、その上部表面は絶縁層32の上部表面と同平坦面である。金属34aはたとえばスタッドと考えることができる。したがって、この場合には、次にマルチレベルの相互接続体系で用いることができる同平坦面の金属層/絶縁層も作られる。金属付着の前に、プラチナ・シリサイド接点が領域35で形成されるか、または、所望ならば、充填金属が冶金と接触することができる。

#### 【0023】例III

例Iに関して示された導電性の線、または例IIに示された金属充填バイヤホールを形成する工程の組合せは平坦化されたマルチレベル金属構造の製造をもたらす。図6に示すように、マルチレベル金属構造40は多層金属構造42を備えた基板41から成る。構造42は上述の化学機械的研磨技術を連続的に適用して、絶縁層44内に導電性の線43を、次に絶縁層46内に金属充填バイヤホール45を、最後に絶縁層48内に導電性の線47を形成することにより形成される。

【0024】SiO<sub>2</sub>の代りにポリイミドを誘電体材料として使うことができる。スパッタリングされたSiO<sub>2</sub>層を標準的スパッタリング技術により付着し、ポリイミドを標準的な回転および硬化工程により塗布する。絶縁層はほぼ平坦な表面を覆って塗布されるので、層は平坦化した膜である必要はなく、したがって、酸化物が関係するところではPECVDのような高速付着技術を用いることができる。ドーブされた、またはドーブされていないガラス質のような他の誘電体材料、さらに種々の重合体も用いることができる。使用される材料における唯一の制限は工程の残りの部分との適合性と絶縁層内にトレンチまたはバイヤホールを形成する能力である。両方とも標準的フォトリソグラフィ技術を用いて形成する。

【0025】次に、意図した金属パターンを湿式またはRIEエッチング技術により誘電体に転写するが、微細



な寸法が必要とされるところでは後者の方が好ましい。トレンチまたはバイヤホールを形成するため使用可能な他の技術には、投射レーザ支援エッチング、スパッタリング技術または反応イオン・ビーム・エッチングがある。絶縁層内に完成されたトレンチまたはバイヤホールの寸法により画定されるので、微細な金属形状が得られることが分る。絶縁体のR I Eは金属のR I Eよりもよく理解されると共にもっと制御性にすぐれた工程である。製造には、その差異を利用できる。スパッタリング、CVDまたは電気めっきを含むどのような共形的技術によって金属を付着してもよい。もちろん、アルミニウムとその合金(A l-S i、A l-C u)が好ましいとは言え、この技術はそれらに限定されるものではなく、他の金属も同様に使うことができる。選択的な化学機械的研摩を用いて同平坦面の金属/絶縁体膜を作る方法は広い用途を有する。

【0026】大きな除去速度比を有する化学機械的研摩技術を金属と誘電体材料の多くの組合せに対して見出すことができる。化学機械的技術の利点は、それが引揚げ工程より速く、費用が安く、より微細な寸法にまで及ぶことができることである。金属R I E技術に比べて広範囲の金属に適用可能である。乾式エッチング平坦化技術とは著しく違って、化学機械的平坦化技術は被覆材料が始めに覆われた材料の上部表面と同平坦面である平坦な構造を生じる。何故ならば、選択的スラリは自動エッチング停止層として用いられる後者の材料を大幅に除去しないからである。乾式エッチング平坦化技術より広範囲の金属に適用可能であり、さらにもっと制御性が良い。

【0027】図7は本発明の実施例を示している。図7において、基板70上には、第1のレベル(Kレベル)のパターン化された金属層と、その上に形成された第2のレベル(Lレベル)のパターン化された金属スタッドとよりなる金属層パターン72が形成されている。この金属パターン72上には、絶縁材料の層74が図7に示すように付着されている。スラリの成分を適当に変え、下側の金属パターン72よりも大幅に速い速度で上側絶縁層74を選択的に除去することにより、絶縁された構造を破線50まで平坦化することができる。たとえば、絶縁層74がスパッタリングされたS i O<sub>2</sub>であり、金属72がA l-C uであるとき、水酸化カリウムの塩基性溶液(p H約11乃至11.5)と、ほぼ1乃至10%の固体含量を有するシリカ粒子とを含むスラリを用いるのが好適である。この方法によれば、下側の金属層よりも上側の二酸化シリコン層を優先的に除去し、簡単に平坦化を実現できることが判明した。

【0028】研摩パッドの材料は好ましくはポリエステルであり、研摩負荷の下で変形しないように十分な固さを有する。最初の平坦化作用の間は、下側にある金属スタッド構造の形状のため、高い地点51における絶縁材料が低い地点52および53における絶縁材料よりも速

い速度で除去される。さらに、所望ならば、研摩エッチング停止層を単独で用いることができるが、スラリの、下側金属層に対する上側二酸化シリコン層の除去選択性が十分に大きい場合は、研摩エッチング停止層の使用は随意になる。好適な研摩エッチング停止材料としては、たとえば、ポリイミド膜のような有機重合体(プラズマまたはCVD付着されたS i O<sub>2</sub>をエッチングするとき)、またはプラズマ窒化シリコン、Mg OまたはA l<sub>2</sub>O<sub>3</sub>のような無機材料(スパッタ付着されたS i O<sub>2</sub>をエッチングするとき)がある。

【0029】この実施例では、51のような高い地点の寸法および密度にかかわらず、付着される絶縁層の厚さを、KおよびLレベルの金属を合わせた厚さ(最大厚さ)よりも小さくすることが平坦化の最適な結果を得るために好ましいことがわかった。一般に、化学機械的研摩においては、絶縁材料の厚さは、絶縁材料の完全な平坦化が達成される前にスタッド金属に到達するように選ばれるべきである。S i O<sub>2</sub>層の厚さを被覆金属の厚さよりもいく分小さい値に制限することにより、S i O<sub>2</sub>はそれぞれの高い地点においてほぼ同時に除去される傾向がある。

【0030】

【発明の効果】複雑で、制御が困難で、費用がかかり、汚染のもととなる乾式エッチング平坦化技術を必要とすることなく、基板上に同平坦面(C o p l a n a r)の金属層/二酸化シリコン絶縁層構造を作ることができる。

【図面の簡単な説明】

【図1】標準的工程に従って製造され、平坦でない表面を有する従来の典型的な多層金属半導体構造の概略断面図である。

【図2】絶縁層内に形成された金属を研磨して同平坦面の金属層/絶縁層を作るための方法を示す金属半導体構造の概略断面図である。

【図3】図2の方法で平坦化された金属半導体構造の概略断面図である。

【図4】絶縁層内に形成されたバイヤホール金属を研磨して同平坦面の金属/絶縁体膜を作るための方法を示す金属半導体構造の概略断面図である。

【図5】図4の方法で平坦化された金属半導体構造の概略断面図である。

【図6】平坦化された多層金属半導体構造を示す概略断面図、

【図7】同平坦面の金属層/二酸化シリコン絶縁層を形成するための本発明の実施例の方法を示す金属半導体構造の概略断面図である。

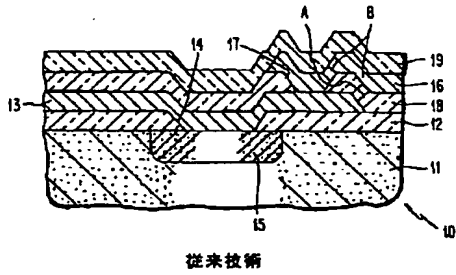
【符号の説明】

70 基板

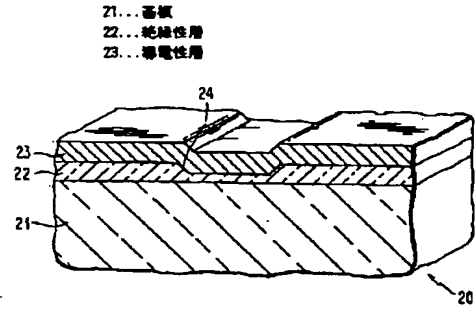
72 金属層パターン

74 二酸化層シリコン層

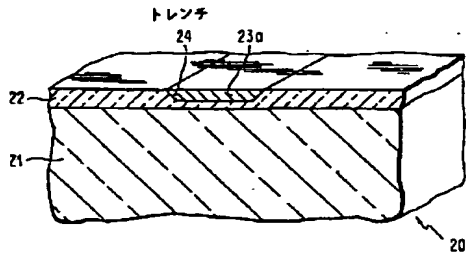
【図1】



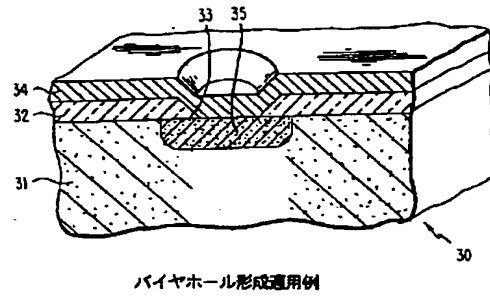
【図2】



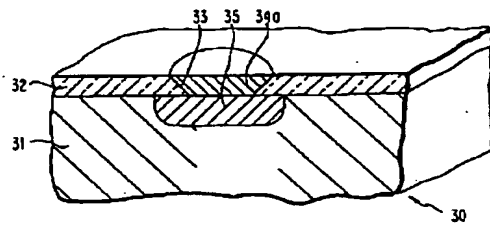
【図3】



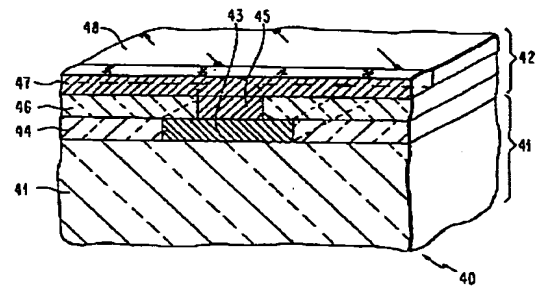
【図4】



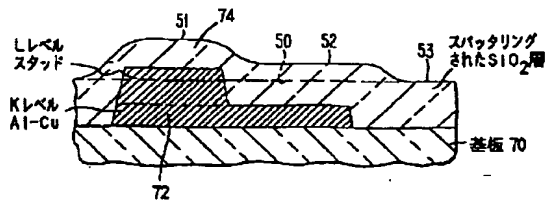
【図5】



【図6】



【図7】



## フロントページの続き

- (72)発明者 ウィリアム・レスリー・ガスリー  
アメリカ合衆国ニューヨーク州ホープウェル・ジャンクション、ヴァン・ウィック・レーク・ロード394番地
- (72)発明者 スタンレー・リチャード・マーカレウィックズ  
アメリカ合衆国ニューヨーク州ニュー・ウインドソー、チェリー・アベニュー17番地
- (72)発明者 エリック・メンデル  
アメリカ合衆国ニューヨーク州ボーキブシー、ハイ・ポイント・ドライブ3番地
- (72)発明者 ウィリアム・ジョン・バトリック  
アメリカ合衆国ニューヨーク州ニューバーグ、ロックウッド・ドライブ3番地

- (72)発明者 キャサリーン・アリス・ベリー  
アメリカ合衆国ニューヨーク州ラグランジビル、アプトン・ロード、アールデイ1、ボックス17番地
- (72)発明者 ウィリアム・アロン・ブリスキン  
アメリカ合衆国ニューヨーク州ボーキブシー、グリーンベイル・ファームス・ロード31番地
- (72)発明者 ヤコブ・ライズマン  
アメリカ合衆国ニューヨーク州ボーキブシー、バナー・アベニュー38番地
- (72)発明者 ボール・マーチン・シャイブル  
アメリカ合衆国ニューヨーク州ボーキブシー、ヒリス・テラス46番地
- (72)発明者 チャールズ・ランバート・スタンドレイ  
アメリカ合衆国ニューヨーク州ワッピンジャーズ、ホールズ、ヒルサイド・レーク、フロスト・ロード番地なし